

Requested document:**JP8241958 click here to view the pdf document**

ON-CHIP DECOUPLING CAPACITOR AND FORMING METHOD

Patent Number: **JP8241958**Publication date: **1996-09-17**Inventor(s): **CRONIN JOHN EDWARD; HILTEBEITEL JOHN ANDREW**Applicant(s): **INTERNATL BUSINESS MACH CORP <IBM>**Requested Patent: [JP8241958](#)Application Number: **JP19960009865 19960124**

Priority Number(s):

IPC Classification: **H01L27/04; H01L21/822**

EC Classification:

Equivalents: **JP3160198B2**

Abstract

PROBLEM TO BE SOLVED: To provide a on-board decoupling capacitor which does not effect the conditions of density of a semiconductor die.

SOLUTION: The decoupling capacitor is constituted of a power supply Vdd metallic layer 14' and a grounding GND metallic layer 16' which are separated by a dielectric layer 24. These layers 14' and 16' are patterned completely similarly.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-241958

(43)公開日 平成8年(1996)9月17日

(51)Int.Cl.⁶

H 01 L 27/04
21/822

識別記号

府内整理番号

F I

H 01 L 27/04

技術表示箇所

C

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21)出願番号 特願平8-9865

(22)出願日 平成8年(1996)1月24日

(31)優先権主張番号 385528

(32)優先日 1995年2月8日

(33)優先権主張国 米国(US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 ジョン・エドワード・クローニン
アメリカ合衆国05468、バーモント州ミル
トン、アール・ディー・ナンバー3

(74)代理人 弁理士 合田 潔 (外2名)

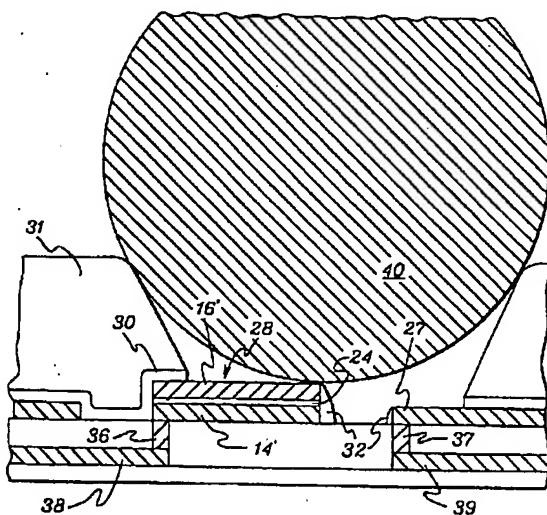
最終頁に続く

(54)【発明の名称】 オンチップ・デカップリング・コンデンサ及び形成方法

(57)【要約】

【課題】 半導体ダイの密度要件に影響しないオンボード・デカップリング・コンデンサを提供する。

【解決手段】 デカップリング・コンデンサが、誘電体層24で分離された電源Vdd金属層14' と接地GND金属層16' とによって構成され、2つの層は全く同じようにパターン化される。



1

【特許請求の範囲】

【請求項1】半導体素子上に形成されたデカップリング・コンデンサであって、誘電体層により分離された2つの金属層を含み、前記層のうちの少なくとも2層が1ステップと一緒にパターン化されたデカップリング・コンデンサ。

【請求項2】前記2つの金属層の第1の層が、電気結合のために前記半導体素子の第1の下位レベル接続部の上に配置され、前記2つの金属層の第2の層が、金属付着を介して第2の下位レベル接続部の上に配置された第3の金属層に電気的に結合され、前記第3の金属層及び前記第2の下位レベル接続部は前記2つの金属層に隣接している、請求項1に記載のデカップリング・コンデンサ。

【請求項3】前記金属付着がC4はんだボールより成る、請求項2に記載のデカップリング・コンデンサ。

【請求項4】前記2つの金属層が前記半導体素子の下位レベルの接続部上に配置された開口部を有し、前記開口部に金属を充填することにより、前記2つの金属層の第2の層が前記下位レベル接続部と電気的に結合される、請求項1に記載のデカップリング・コンデンサ。

【請求項5】前記2つの金属層の第1の層が、前記2つの金属層の前記開口部の内部周囲に沿って形成された絶縁バッシャーベーション薄膜により、前記開口部を充填する前記金属から絶縁される、請求項4に記載のデカップリング・コンデンサ。

【請求項6】前記2つの金属層の第2の層及び前記2つの金属層の間の前記誘電体層が、絶縁バッシャーベーション材で被覆された開口部を含み、前記2つの金属層の第1の層と結合する電気的接点を設けるために前記開口部の中に金属が付着されている、請求項1に記載のデカップリング・コンデンサ。

【請求項7】半導体素子上にデカップリング・コンデンサを形成する方法であって、(a) 上部表面に電気的接点を備える、第1及び第2の下位レベル接続部を含む、内部金属化層を有する配線構造体を形成するステップと、(b) 前記上部表面における前記第1及び第2の下位レベルの接続部上の各第1及び第2の領域に、一緒に位置合わせされ、且つ誘電体層により分離された2つの金属層を、前記2つの金属層の各下層が、前記第1及び第2の下位レベル接続部とそれぞれ電気的に接続されるように形成するステップと、(c) 前記第2の領域における前記2つの金属層の上層及び前記誘電体層を除去するステップと、(d) 前記第2の領域に面する前記第1の領域の側面部に絶縁側壁を形成するステップと、(e) 前記第1の領域の上層が前記第2の領域の残留する下層と電気的に結合するように、前記第1の領域及び前記第2の領域の両方を含む領域において金属を付着させるステップと、を含む方法。

【請求項8】前記2つの金属層を形成する前記ステップ

2

が、(a) 第1の金属化層を金属の下層として前記基板の上に付着させるステップと、(b) 誘電材料を誘電体層として前記第1の金属化層の上に付着させるステップと、(c) 第2の金属化層を金属の上層として前記誘電体層の上に付着させるステップと、(d) 前記第2の金属化層の上に所定のパターンを有するマスクを形成するステップと、(e) 前記第1及び第2の金属化層及び前記誘電体層の露出された領域を、前記マスクのパターンに従ってエッチングするステップと、(f)

10 前記マスクを除去し、前記マスクのパターンに従って一緒に位置合わせされた、前記2つの金属及び誘電体層の積層構造を残すステップと、を含む、請求項7に記載の方法。

【請求項9】半導体素子上にデカップリング・コンデンサを形成する方法であって、(a) 上部表面に電気的接点を与えるスタッドに結合された内部金属化層を含む配線構造体を形成するステップと、(b) 前記上部表面のスタッド上に一緒に位置合わせされ、且つ誘電体層により分離された2つの金属層を形成するステップと、
20 (c) 前記スタッドが前記上部表面で露出するように、前記2つの金属層及び誘電体層を貫く開口部を形成するステップと、(d) 前記開口部の内部周囲に沿って絶縁側壁を形成するステップと、(e) 前記スタッドを前記2つの金属層の上層と電気的に結合するように、前記開口部を取囲む領域において金属を付着させるステップと、を含む方法。

【請求項10】半導体素子上にデカップリング・コンデンサを形成する方法であって、(a) 半導体基板の上に、一緒に位置合わせされ、且つ誘電体層で分離された2つの金属層を形成するステップと、(b) 前記2つの金属層の下層が露出するように、前記2つの金属層の上層及び前記誘電体層を貫いて開口部をエッチングするステップと、(c) 前記開口部の内部周囲に沿った側壁上、及び前記開口部の周囲の前記2つの金属層の上層の上に絶縁バリアを形成するステップと、(d) 前記2つの金属層の下層との電気的接点を提供するために、前記開口部を包含する領域に金属を付着させるステップと、を含む方法。

【発明の詳細な説明】

40 【0001】

【発明の属する技術分野】本発明は、半導体ダイ用のデカップリング・コンデンサに関する。更に詳細に述べれば、半導体ダイ上で既に利用されている金属化層領域以外に追加の領域を必要としない、半導体ダイ用のオンボード、即ちオンチップ・デカップリング・コンデンサに関する。

【0002】

【従来の技術】半導体ダイの論理回路のスイッチングは、デカップリングするか、又は減衰させる必要がある過渡電流及び電圧スパイクを発生させる。このデカップ

リングを達成する従来の技術には、半導体ダイの外部に置く別個のデカップリング・コンデンサが含まれる。これらの外付けデカップリング・コンデンサは価格が高く、またスペースの無駄が多い。

【0003】1991年5月14日にHang, 外に付与された名称「Integrated Circuit Package」の米国特許第5,01,087号では、半導体ダイ上に実装されるデカップリング・コンデンサを提供する方法が開示された。これでは、半導体ダイの未使用の領域の基板に窪みを形成し、窪み毎にキャップを備える。ただし、これは窪みのために半導体ダイ上に余分なスペースが必要である。

【0004】

【発明が解決しようとする課題】

(a) 本発明の目的は、半導体ダイに実装する改良したデカップリング・コンデンサを提供することにある。

(b) 本発明の他の目的は、半導体ダイの密度要件に影響しないオンボード・デカップリング・コンデンサを提供することにある。

(c) 本発明の他の目的は、半導体基板の相互接続構造内で形成可能なデカップリング・コンデンサを提供することにある。

(d) 本発明の更に別の目的は、追加の半導体プロセス・ステップをほとんど必要としないデカップリング・コンデンサの製造方法を提供することにある。

【0005】

【課題を解決するための手段】これらの目的を推進するために、本発明は半導体ダイへの入出力インターフェースを提供する、半導体ダイの相互接続領域内に配置される、オンボード・デカップリング・コンデンサを対象とする。デカップリング・コンデンサは、一緒に位置合わせされ、同じパターンで形成された誘電体層により分離された、2つの金属層で構成される。2つの金属層は、2層の領域がお互いに対応し、一方が他方の上になるよう一緒に位置合わせされる。

【0006】本発明の他の実施例では、半導体ダイ用のデカップリング・コンデンサは、一緒に位置合わせされた少なくとも1つの金属層、及び絶縁層を含む相互接続領域に設けられる。

【0007】全く同じにパターン化された金属層、及び誘電体層をもつ半導体ダイの相互接続領域にデカップリング・コンデンサを設けることにより、プロセス・ステップを最少にし、更に半導体ダイ上にデカップリング・コンデンサを実装するために必要なスペースも、同様に最小にできる。

【0008】本発明の他の実施例に従い、半導体ダイ上にデカップリング・コンデンサを形成するもう1つの方法が提供される。この方法には、内部金属化層を含む絶縁層より成る配線構造体を基体上に提供するステップが含まれ、内部金属化層は、配線構造体の上部表面において

て電気的接点となる第1及び第2のスタッドそれぞれに結合されている。上部表面の第1及び第2のスタッド上に配置されるのは、一緒に位置合わせされ、誘電体層により分離された2つの金属層であり、少なくとも第1及び第2の領域が互いに隣接して設けられる。第1及び第2の領域の金属のそれぞれの下層は、絶縁基板の第1及び第2のスタッドとそれぞれ電気的に接続される。次に、第2領域の金属の上層及び誘電体層が除去される。次に第2の領域に面する第1の領域の側面に絶縁側壁が形成される。最後に、第1及び第2の両領域の一部を含む領域において、第1の領域の上層を第2の領域の残っている下層と電気的に結合するように、C4金属はんだボールが基板上に付着される。

【0009】

【発明の実施の形態】図1及び2を参照すると、CMOS技術半導体ダイ10には、ダイの表面から上に突出するはんだボール12の配列が付けられる。はんだボールは、制御された (controlled) 押しつぶし可能な (collapsible) 圧縮 (compression) 接点 (contacts)、即ちいわゆるC4ボンディングを提供し、ダイに信号を送り込んだり外部へ発信するためのものである。本明細書において、「半導体ダイ」なる用語は、半導体回路が形成されている半導体チップ、又はウェハのような半導体基板を意味する。図3を参照すると、金属化領域14及び16は半導体ダイの電源Vdd配線及び接地GND配線を提供し、一方関連はんだボールは、外部とのインターフェース相互接続を提供する。理想的には、はんだボール12 (図1、及び2) の上部が平面であり、その結果ダイ10が平面の実装基板表面 (表示されていない) に置かれたときに、全てのパッドが同時に基板表面に接触することが望ましい。しかし現実には、C4はんだボールはダイ10と実装基板表面との間で圧縮される必要があり、そこでははんだボールは制御された態様で圧縮され、その結果、実装基板表面全体に圧縮接觸が行われる。

【0010】半導体ダイの従来の方法の相互接続領域を示す図3を参照すると、既存のVdd及び接地GND相互接続領域14、16が合わせて約10ミリメートル平方の表面積を占めている。接地及びVdd用金属化層は各々平均線幅が200マイクロメートルであり、ダイ10の表面上を極端に長さ方向に延びている。50マイクロメートルの間隙18が設けられ、それぞれの線を分離している。このように、Vdd及びGND金属化層は間隙と合わせて450μmピッチになる。半導体ダイの上部表面にVdd金属化層14を用いて、内部金属化層M1、M2、及びM3に対するVdd14の静電容量を半導体ダイに組むことができ、最大1ナノファラド (nF) の分布静電容量22をVddへ提供する。

【0011】図4を参照すると、本発明は、接地金属化層16'及び16"を半導体ダイの相互接続領域で、V

dd 金属化層 14' 及び 14" の上に積重ね、層は互いに一緒に位置合わせされ、誘電体層 24 によって分離される。金属層 14'、14" は、半導体ダイの半導体領域と直接接觸して設けることも可能であるが、絶縁層を介して半導体から分離して設けるのが実際的である。平均幅が 400 マイクロメートルの 2 つの金属化層が設けられる。スタック 14'、16' とスタック 14" 及び 16" 間の間隙 18' の幅は 50 マイクロメートルで、ダイの幅全体に 450 マイクロメートルのピッチとなり、Vdd 及び接地配線用に 2 倍の線幅が使用可能である。このように、Vdd 及び接地配線は抵抗がより小さく静電容量がより大きくなる。間に 1,000 オングストロームの酸化物誘電体層 24 を用いた場合は、Vdd と GND の層間の静電容量は 29 nF の大きさになり得る。一方窒化物誘電体を使用すると、窒化物の誘電率は酸化物の誘電率の 2 倍なので、この静電容量も 2 倍になる。

【0012】一緒に位置合わせされる金属化層 16' 及び 14'、16" 及び 14"、及び誘電体 24 は、単一のマスク・プロセスで作成される。図 5 を参照すると、第 1 のプランケット金属化層 14L が、基板 10 の平坦な表面上に付着され、基板 10 はスタッド 19A、19B 及び 19C によって相互接続される、事前に形成された相互接続層 M3、M2、M1 をもつ。相互接続層 M3、M2、M1 は、半導体基板の表面上に設けられた、内部金属層を含む絶縁層より成る多層配線構造体によって形成される。次に、プランケット酸化物層 24L が付着され、その後にプランケット金属化層 16L が付着される。マスク 17 がプランケット金属化層 16L 上に設定され、そこでマスク 17 により露出された金属化層及び酸化物層 16L、24L、14L のマスク 17 により露出された領域が、反応性イオン・エッティングにより除去される。マスク 17 で覆われた領域はそのまま残る。次にマスク 17 が除去され、スタック 14'、16' 及び 14"、16" が図 4 に示すように残る。

【0013】提供される静電容量は、金属化層の関連面積と共に誘電体の値及び厚さに従って決められる。本発明の 1 つの実施例では、1,000 オングストロームの厚さの酸化物誘電体は、平均的ダイ面積では、Vdd と GND との金属化層間に 29 nF の静電容量を提供する。面積計算は、一般的な半導体ダイの場合では、Vdd 及び GND 金属化層の平均幅に Vdd 及び GND 金属化層の平均長さを乗算する。

【0014】GND 及び Vdd 金属化層 16'、14' をダイ 10 の内部金属化層及び外部と結合する方法が各種使用される。図 6 から図 10 は、領域 28 の上部接地金属化層 16' を領域 28 に隣接する接地接続パッド 27 に結合するプロセスを示す。図 6 では、ブロック・マスク 26 が領域 28 の金属化された 2 つの層を覆っている。ブロック・マスク 26 で保護されなかった領域の金

属化層、及び酸化物を除去するためのエッティングが施される。第 1 のエッティングでは、露出した金属化層の上層だけが除去され、その下の酸化物層でエッティングが止まる。その後、酸化物エッティングが行われ、金属化層の下層 27 まで酸化物層をエッティングする。下層はそのまま残る。この時点で、ブロック・マスク 26 が除去され、図 7 に示すような配列が残る。

【0015】ブロック・マスク 26 が除去されてから、パッシベーション・プロセスが施され、金属化層を含む基板の上にパッシベーション薄膜 30 がコンフォーマルに付着される。次に、有機体層、即ちポリイミド層 31 が全領域の上にプランケット付着される。フォトレジスト（表示されていない）が付着され、露光され、現像され、ポリイミドに形成したい開口部 29 に相当する開口部を露出させる。ポリイミド層の露出された領域は、パターン化されたフォトレジストに従って反応性イオン・エッティングにより除去され、フォトレジスト・マスク（表示されていない）で覆われた領域のポリイミドが残り、ポリイミドに開口部 29 が形成される。次にフォトレジストが除去される。ポリイミド 31 をエッティング・マスクとして使用し、反応性イオン・エッティングで半導体基板に向かって垂直に下方に向けられた方向性エッティング 29 により、パッシベーション層が除去される。このプロセスは、最小限の深さのパッシベーション層を除去するために限定した時間だけ施され、図 9 に示すように、パッシベーション層の縦の厚さが、平面領域上における層の最小の厚さより厚くなっている場所の金属化層の側面に沿って、スペーサ 32 を残す。接地接点 27 が領域 28 の 2 つの金属化層に十分近い場合は、パッシベーション・スペーサ領域が互いに合わさり、反応性イオン・エッティングの後で 2 つの金属化層の間に合体した平面パッシベーション領域（表示されていない）を提供できる点に留意いただきたい。

【0016】次に、業界標準の C4 Mo1y マスク・リフトオフ及びリフロー・プロセスを使用して、図 10 に示すように、領域 28 の金属化層の上層 16' 及び接地接続 27 の下層金属と接觸させるために、C4 はんだボールが開口部 29 に供給される。はんだボール 40 がこの後実装基板表面（表示されていない）に対して圧縮されると、C4 はんだボール 40 は、領域 28 の上部金属化層 16' を隣接する接地接続 27 と結合させ、一方スペーサ 32 は、Vdd 金属化層 14' への接地短絡を防ぐ。この方法で、金属化層の上層 16' は接地接続 27 と電気的に結合され、また一方で C4 はんだボールが外部と結合する。領域 28 の下部 Vdd 金属化層 14' は、半導体ダイ 10 の内部金属化層 38 とスタッド 36 を使って結合される。接地接続 27 は、ダイ 10 の内部接地金属化層 39 とスタッド 37 を使って結合される。このように、上部及び下部の金属化層 16'、14' はダイ 10 の内部金属化層 38、39 とそれぞれ電気的に

結合される。ここまででは、上部金属化層16'だけが外部、即ちはんだボール40と結合している。

【0017】本発明の第2の面では、領域28に関連する2つの金属化層の下部金属化層14'について、外部との上部接点を提供する。図11は、間に酸化物誘電体24を有する2つの金属化層14'、16'を示す。マスク42が2つの金属化層の上層16'の上に配置され、マスク42により露出された上層16'の領域をエッティングにより除去する。このエッティングは図12の点線に示すように金属化層の上層16'に開口部を残す。マスク42が次に除去され、バッシベーション層30が図13に示すように半導体基板の上に付着される。図14では、ポリイミド・パターン46が(前述のように)半導体基板上に設けられる。ポリイミド・パターン46は、金属化層の上層16'の開口部の上に位置合わせされたアーチャをもち、このアーチャの直径は金属化層の開口部の直径より小さい。エッティング剤を使用してポリイミドのアーチャによって露出された酸化物誘電体層を除去する。これによって図15に示すように金属化層の下層14'が露出される。C4ははんだボール48が、露出された金属化層の下層14'に対応する領域上に付着される。ポリイミド及びバッシベーション領域を残すことにより、金属化層の上層16'を絶縁し、それによって、はんだボール48がダイ10と実装基板表面間で圧縮されたときに、上層がはんだボール48に短絡することを防ぐ。

【0018】本発明の第3の面に従うと、金属化層の上層16'を半導体基板の内部金属化層39と相互接続するため代替の接地接続が提供される。図17及び図18は、誘電体層24で分離され、中央領域に孔49をもち、基板10の接地スタッド37を露出させる、2つの金属化層16'、14'の断面図及び平面図である。スタッド37は内部金属化層39と接続され、接地接点を基板10の上部表面に提供する。孔49の内壁に内張りを作るために、スペーサ32が前述と同じようにバッシベーション層の付着及びエッティングにより形成される。図19を参照すると、2つの金属化層の開口部49を取巻くアーチャを有したブロッキング・マスク50が、2つの金属化層の領域28の上に形成される。ブロッキング・マスクのアーチャの直径は、2つの金属化層の開口部の直径より大きい。そしてブロッキング・マスク50により露出されて残った金属化層の上層16'の露出領域に、エッティングが行われる。ここで、信号線51が誘電体層を上に持つ金属化層の下層である点に注意を要す。エッティングの後で、露出された金属化層領域全体の上に選択的な化学蒸着(CVD)が行われ、2つの金属化層の開口部49に露出している接地スタッド37の上に、金属化層52を成長させる。金属化層52は、大きくなった孔49の内部に露出している金属化層の上層16'の露出側壁へも同様に広がる。CVDプロセス

は、このようにスタッド37を金属化層の上層16'に電気的に接続させる。最後にブロッキング・マスク50が除去され、図21に示すような構造になる。金属化層の下層14'は、スタッド36を介して半導体基板のVdd内部金属化層38に結合される。金属化層の上層16'は、充填金属52及びスタッド37を介して内部金属化層39と接続される。スペーサ32は金属化層の下位のレベル14'を絶縁し、これが充填金属52と電気的に短絡することを防ぐ。同様に、誘電体層24は、充填金属52が金属化層の下位レベル14'の上部面と短絡することを防ぐ。信号線51はプロセスの結果に本質的に影響されない。

【0019】相互接続領域において本発明の方法を使用することにより、半導体基板上にローカル・デカップリング・コンデンサが設けられ、半導体ダイに外付けする外部デカップリング・コンデンサの必要性をなくす。デカップリング・コンデンサは、従来の技術で必要とされた余分な領域を必要とせずに、半導体ダイの相互接続領域に形成される。最後に、本発明に従うデカップリング・コンデンサは、1つの付着マスクを使用して形成され、プロセスには相互接続の2つの層、及び誘電体層のための個々の付着パターンを必要としない。これは、半導体ダイ上にデカップリング・コンデンサを実装するためのプロセス手順を簡素化し、絶縁スペーサ32を形成するときにブロッキング層の設置、及びバッシベーション薄膜の除去のために2、3の追加ステップを必要とするだけである。

【0020】まとめとして、本発明の構成に関して以下の事項を開示する。

【0021】(1) 半導体素子上に形成されたデカップリング・コンデンサであって、誘電体層により分離された2つの金属層を含み、前記層のうちの少なくとも2層が1ステップで一緒にパターン化されたデカップリング・コンデンサ。

(2) 全ての層が1ステップで一緒にパターン化される、(1)に記載のデカップリング・コンデンサ。

(3) 前記2つの金属層の第1の層が、電気結合のために前記半導体素子の第1の下位レベル接続部の上に配置される、(1)に記載のデカップリング・コンデンサ。

(4) 前記2つの金属層の第2の層が、金属付着を介して第2の下位レベル接続部の上に配置された第3の金属層に電気的に結合され、前記第3の金属層及び前記第2の下位レベル接続部は前記2つの金属層に隣接している、(3)に記載のデカップリング・コンデンサ。

(5) 前記金属付着がC4はんだボールより成る、(4)に記載のデカップリング・コンデンサ。

(6) 前記2つの金属層が前記半導体素子の下位レベルの接続部上に配置された開口部を有し、前記開口部に金属を充填することにより、前記2つの金属層の第2の

層が前記下位レベル接続部と電気的に結合される、
(1)に記載のデカップリング・コンデンサ。

(7) 前記2つの金属層の第1の層が、前記2つの金属層の前記開口部の内部周囲に沿って形成された絶縁バッシベーション薄膜により、前記開口部を充填する前記金属から絶縁される、(6)に記載のデカップリング・コンデンサ。

(8) 前記2つの金属層の第2の層及び前記2つの金属層の間の前記誘電体層が、絶縁バッシベーション材料で被覆された開口部を含み、前記2つの金属層の第1の層と結合する電気的接点を設けるために前記開口部の中に金属が付着されている、(1)に記載のデカップリング・コンデンサ。

(9) 前記2つの金属層の前記第2の層が、前記2つの金属層に隣接する第2のスタッドの上に配置された分離された金属層を介し、更に前記分離された金属層を前記2つの金属層の前記第2の層に電気的に結合する金属付着とを介して、前記半導体素子の前記第2のスタッドに電気的に接続される、(8)に記載のデカップリング・コンデンサ。

(10) 前記2つの金属層が、前記誘電体層の厚さ及び誘電率に従って、前記デカップリング・コンデンサの静電容量を提供する所定の領域を有する、(1)に記載のデカップリング・コンデンサ。

(11) 前記誘電体層が酸化物又は窒化物の1物質である、(1)に記載のデカップリング・コンデンサ。

(12) 半導体素子上にデカップリング・コンデンサを形成する方法であって、(a) 上部表面に電気的接点を備える、第1及び第2の下位レベル接続部を含む、内部金属化層を有する配線構造体を形成するステップと、(b) 前記上部表面における前記第1及び第2の下位レベルの接続部上の各第1及び第2の領域に、一緒に位置合わせされ、且つ誘電体層により分離された2つの金属層を、前記2つの金属層の各下層が前記第1及び第2の下位レベル接続部とそれぞれ電気的に接続されるように形成するステップと、(c) 前記第2の領域における前記2つの金属層の上層及び前記誘電体層を除去するステップと、(d) 前記第2の領域に面する前記第1の領域の側面部に絶縁側壁を形成するステップと、(e) 前記第1の領域の上層が前記第2の領域の残留在する下層と電気的に結合するように、前記第1の領域及び前記第2の領域の両方を含む領域において金属を付着させるステップと、を含む方法。

(13) 前記2つの金属層を形成する前記ステップが、(a) 第1の金属化層を金属の下層として前記基板の上に付着させるステップと、(b) 誘電材料を誘電体層として前記第1の金属化層の上に付着させるステップと、(c) 第2の金属化層を金属の上層として前記誘電体層の上に付着させるステップと、(d) 前記第2の金属化層の上に所定のパターンを有するマスクを

形成するステップと、(e) 前記第1及び第2の金属化層及び前記誘電体層の露出された領域を、前記マスクのパターンに従ってエッチングするステップと、(f) 前記マスクを除去し、前記マスクのパターンに従って一緒に位置合わせされた、前記2つの金属及び誘電体層の積層構造を残すステップと、を含む、(12)に記載の方法。

(14) マスクを除去する前記ステップが、(a) 前記2つの金属層の前記第1の領域上にブロッキング・マスクを形成するステップと、(b) 前記第2の領域の前記2つの金属層の上層をエッチングして除去するステップと、(c) 前記第2の領域に関連する前記誘電体層をエッチングして除去するステップと、(d) 前記ブロッキング・マスクを除去するステップと、を含む、(12)に記載の方法。

(15) 半導体素子上にデカップリング・コンデンサを形成する方法であって、(a) 上部表面に電気的接点を与えるスタッドに結合された内部金属化層を含む配線構造体を形成するステップと、(b) 前記上部表面のスタッド上に一緒に位置合わせされ、且つ誘電体層により分離された2つの金属層を形成するステップと、(c) 前記スタッドが前記上部表面で露出するように、前記2つの金属層及び誘電体層を貫く開口部を形成するステップと、(d) 前記開口部の内部周囲に沿って絶縁側壁を形成するステップと、(e) 前記スタッドを前記2つの金属層の上層と電気的に結合するように、前記開口部を取囲む領域において、金属を付着させるステップと、を含む方法。

(16) 前記2つの金属層を配置するステップが、
30 (a) 前記絶縁基板の上に所定のパターンを有するマスクを提供するステップと、(b) 第1の金属化層を前記2つの金属層の下層として、前記マスクのパターンに従って前記基板上に付着させるステップと、(c) 誘電材料を前記誘電体層として、前記マスクのパターンに従って前記第1の金属化層の上に付着させるステップと、(d) 第2の金属化層を前記2つの金属層の上層として、前記マスクのパターンに従って前記誘電体層の上に付着させるステップと、(e) 前記マスクを除去し、更に前記誘電体層により分離され、前記マスクの所定のパターンに従って一緒に位置合わせされた、前記2つの金属層を残すステップと、を含む、(15)に記載の方法。

(17) 半導体素子上にデカップリング・コンデンサを形成する方法であって、(a) 半導体基板の上に、一緒に位置合わせされ且つ誘電体層で分離された2つの金属層を形成するステップと、(b) 前記2つの金属層の下層が露出するように、前記2つの金属層の上層及び前記誘電体層を貫いて開口部をエッチングするステップと、(c) 前記開口部の内部周囲に沿った側壁上、
50 及び前記開口部の周囲の前記2つの金属層の上層の上に

11

絶縁バリアを形成するステップと、(d) 前記2つの金属層の下層との電気的接点を提供するために、前記開口部を包含する領域に金属を付着させるステップと、を含む方法。

(18) 前記絶縁バリアを形成するステップが、
(a) 前記開口部を含む前記基板の領域の上にパッシベーション薄膜を付着させるステップと、(b) 前記2つの金属層の上層の前記開口部の内部領域を包含するアーチャを持つ第1のマスクを、前記基板上に形成するステップであって、前記アーチャの直径が、前記2つの金属層の上層の前記開口部の直径より小さく、前記アーチャが、前記金属の上層の前記開口部内下部のパッシベーション薄膜を露出させるものと、(c) 前記露出したパッシベーション薄膜を除去するのに十分な時間、前記第1のマスクのアーチャを貫いて露出したパッシベーション薄膜をエッチングするステップと、
(d) 前記第1のマスクを除去するステップと、を含む、(17)に記載の方法。

(19) 前記2つの金属層の配置ステップが、(a) 前記絶縁基板の上に所定のパターンを有する第2のマスクを提供するステップと、(b) 第1の金属化層を前記2つの金属層の下層として、前記第2のマスクのパターンに従って前記基板上に付着させるステップと、
(c) 誘電材料を前記誘電体層として、前記第1の金属化層の上に前記第2のマスクのパターンに従って付着させるステップと、(d) 第2の金属化層を前記2つの金属層の上層として、前記誘電体層の上に前記第2のマスクのパターンに従って付着させるステップと、
(e) 前記第2のマスクを除去するステップと、更に前記誘電体層で分離され前記第2のマスクの所定のパターンに従って一緒に位置合わせされた、前記2つの金属層を残すステップと、を含む、(18)に記載の方法。

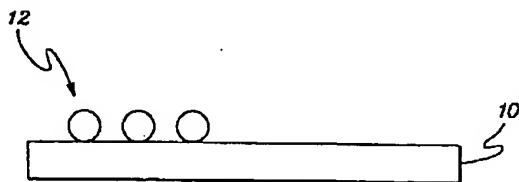
【図面の簡単な説明】

【図1】C4はんだポールを示す半導体ダイの相互接続領域の上面図である。

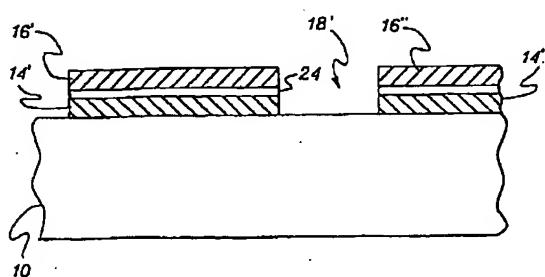
【図2】C4はんだポールを有する半導体ダイの側面図である。

【図3】内部金属化層に対応する分布静電容量を有す

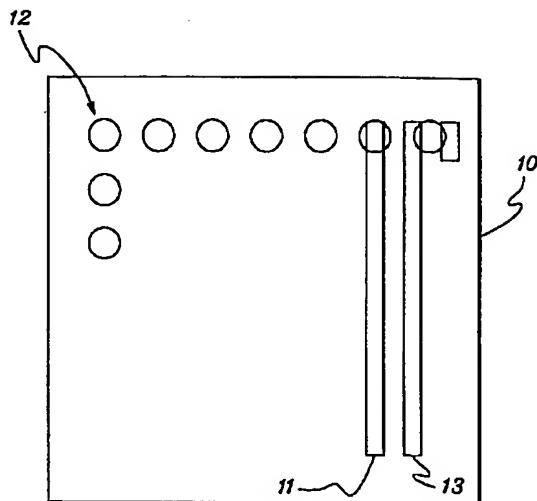
【図2】



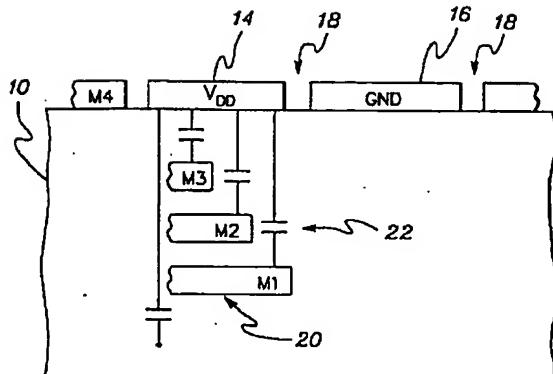
【図4】



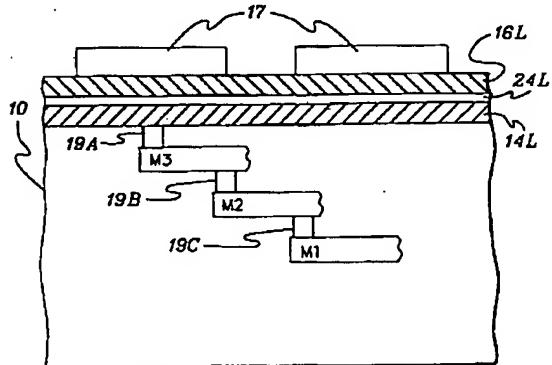
[図 1]



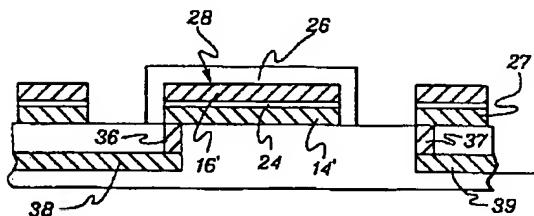
【図3】



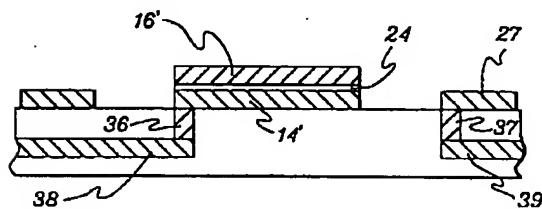
【四】



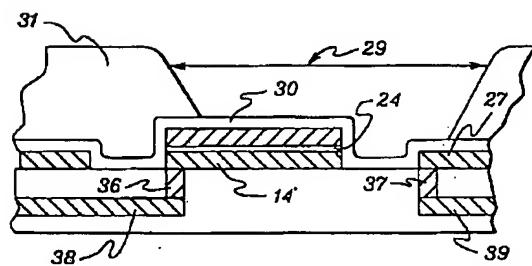
【図6】



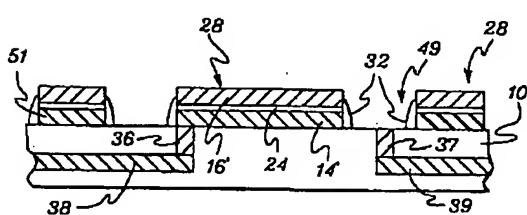
[図7]



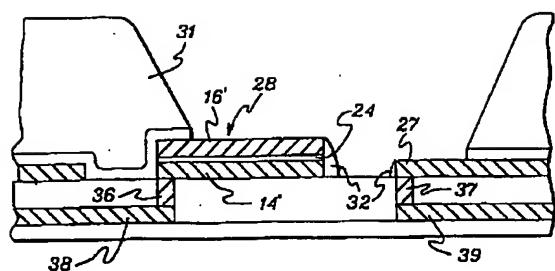
[图 8]



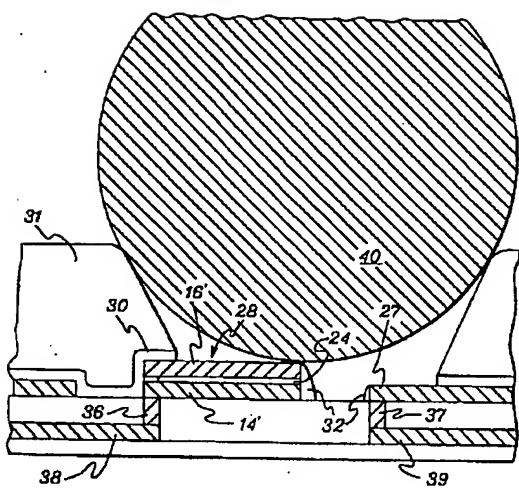
[図1.7]



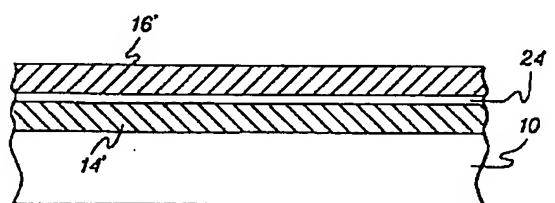
【図9】



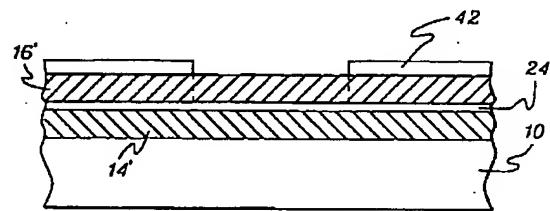
【図10】



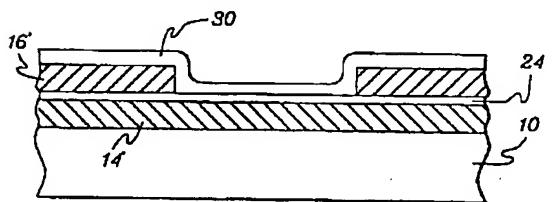
【図11】



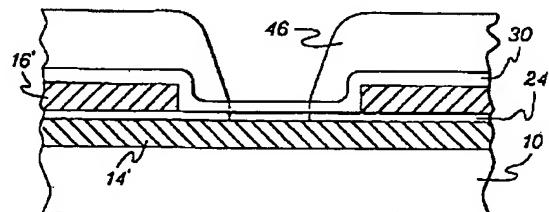
【図12】



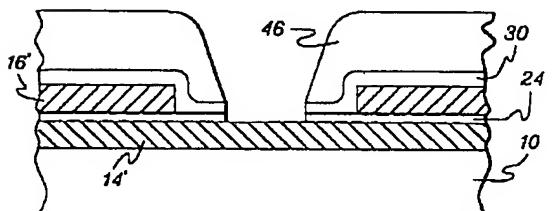
【図13】



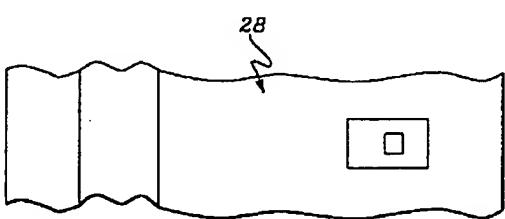
【図14】



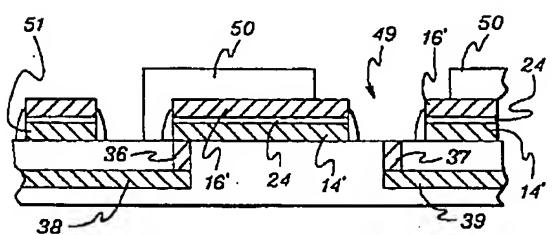
【図15】



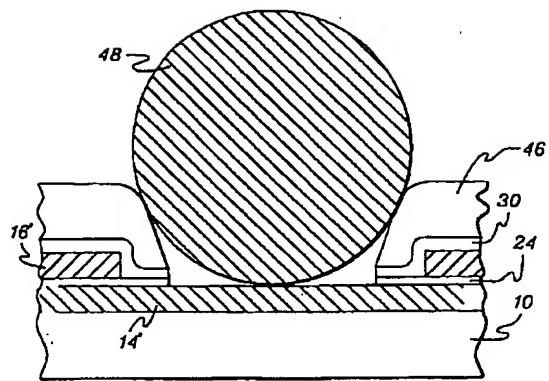
【図18】



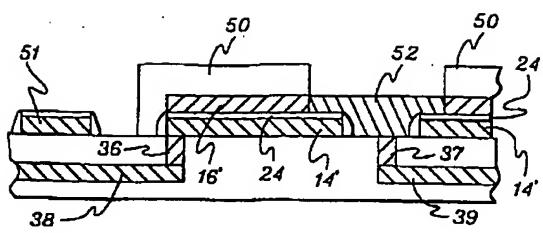
【図19】



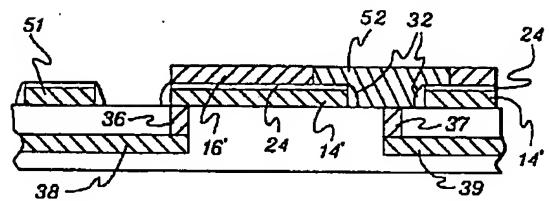
【図16】



【図20】



【図21】



フロントページの続き

(72)発明者 ジョン・アンドルー・ヒルトベイテル
アメリカ合衆国05408、バーモント州サウス・バーリントン、ヤンドゥー・ドライブ